



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09083486

(43)Date of publication of application: 28.03.1997

(51)Int.Cl.

H04J 13/00  
H03H 17/00  
H03H 1/12

(21)Application number: 07255758

(71)Applicant:

N T T IDO TSUSHINMO KK  
YOZAN:KK

(22)Date of filing: 08.09.1995

(72)Inventor:

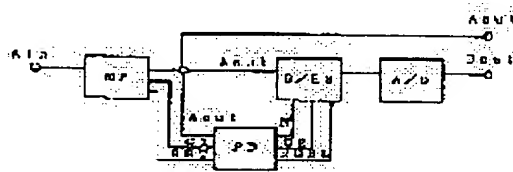
KOTOBUKI KOKURIYOU  
SHU NAGAAKI  
YAMAMOTO MAKOTO  
SAWASHI MAMORU  
ADACHI FUMIYUKI  
TAKATORI SUNAO

(54) FILTER CIRCUIT FOR COMMUNICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption, the cost and to improve the yield by using a sample-and-hold circuit to hold intermittently an analog output signal so as to minimize the operating speed of an A/D conversion circuit.

SOLUTION: A sum arithmetic section MF outputs an analog output signal Aout and outputs a clock signal C1 deciding a timing of data hold of an internal sample-and-hold circuit S/H 3 and a reset signal RST representing a data hold timing of a top circuit to a peak detection section PD. The peak detection section outputs a clock signal C2 corresponding to the clock signal C1, a data number N to be held and a register selection signal RSEL to be held to the sample-and-hold circuit S/H 3. Thus, the sample-and-hold circuit S/H 3 holds intermittently an analog output signal of the sum arithmetic section MF to minimize the operating speed of an A/D conversion circuit, to reduce the power consumption and cost and to improve the yield.



(A) Relevance to claim

The following is a translation of passages related to no claim of the present invention.

(B) Translation of the related passages

[EXAMPLE]

[0010]

In Fig. 1, a matched filter is provided with a sample hold circuit "S/H3" at the following stage of a product-sum computing section "MF" of Fig. 17 to hold an analog output signal transmitted from the product-sum computing section; and an A/D converter for digitalizing an analog output signal Aout transmitted from the sample hold circuit. The sample hold circuit is controlled by a peak detecting section "PD". The product-sum computing section outputs to a peak detecting section PD a clock signal C1 for determining a timing of holding data in the sample hold circuit, and a reset signal RST indicative of a timing of holding data in the first sample hold circuit, as well as the Aout signal. The peak detecting section controls the S/H3 in response to these signals.

[0011]

The peak detecting section outputs to the sample hold

circuit S/H3 a clock C2 corresponding to the C1 and outputs the number N ('i' of the above equation (1)) of data to be held. The number N may have a predetermined number of kinds, e.g., three kinds at a maximum. Each of the numbers is registered in the register (not shown) of the sample hold circuit, and a register selection signal RSEL used for this operation is inputted from the PD to the S/H3.

(19) 日本國特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83486

(13) 公開日 平成9年(1997)3月28日

(S)In(Cl) <sub>3</sub>		鍍銀配牙	庁内整理番号	F I	技術指示箇所
H04 J	13/00			H04 J	13/00 A
H03 H	17/00	6 0 1	9274-5 J	H03 H	17/00 6 0 1 C
I103 M	1/12			I103 M	1/12 A

審査請求 未請求 請求項の数2 F D (余12頁)

(21) 出願番号	特開平7-255758
(22) 公開日	平成7年(1995) 9月8日
(71) 出願人	3392026693 エヌ・ティ・エフ物産付帯株式会社 東京都港区虎ノ門二丁目10番1号
(71) 出願人	3390010515 株式会社蘆山 東京都世田谷区北沢3-5-18 蘆山ビル 特 岡榮 東京都世田谷区北沢3-5-18 蘆山ビル 株式会社蘆山内 周 昌明
(72) 発明者	(72) 発明者 株式会社蘆山内 周 昌明 東京都世田谷区北沢3-5-18 蘆山ビル 株式会社蘆山内
(74) 代理人	井明士 山本 誠

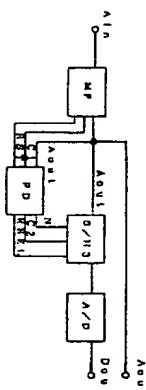
最終頁に続く

(54) 【発明の名称】 通信のためのファイルタ回路

(57) 【要約】

【目的】 低消費電力型のフイルム回路においてアノ  
ダ出力とともに効率的にデジタル出力を生成し得る通  
用のフイルム回路を提供することとする。

【解説】 同期調定後、一部の信号のみサンプリングすればよいという考え案則に基づき、アナログ出力信号を間欠的保持しこれによってA/D変換回路の動作速度を最小限に抑えたものである。



### 【特許請求の範囲】

【請求項1】 複数の第1サンプル・ホールド回路に

よりアナログ人力計算を簡便例で説明し、各時点のアナログ人力計算に対しては、P/N計算による積み付き加重を有する計算と、この加重計算部の出力の定として出力する積和減算部とを有する第2サブブロック・ホルド回路とを、この第2サブブロック・ホルド回路の出力をデジタル化する量入変換部を備えた通信のためのマルチプル回路。

【請求項2】

とのような特徴は、対応した表紙の第3サンプリ・ホール下  
と同様、ここに第3サンプリ・ホール下同様のいすゞの  
1個の出力あるいは車軸駆動を意味する出力と、残りの  
スズベツと、ベアリング検出部の出力に基づいて第3サン  
プリ・ホール下同様の保持する出力およびスズベツの持  
続時間ミミツングを制御する制御部を備えていることを特  
許する請求項1記載の通信のためのマルチタリ同路。

【発明の】詳細な説明】

[000]

【商業上の利用分野】本発明は通信のためのマルチタクト路に係り、特に移動体通信や無線LAN等のためのスベクトラム割当システムに有効なマルチドワールタクト路に関する。

【○○○○】

2つの信号の同一性を判定するためのアルルダであり、スベクトラム変換方式の通信において、信号を受信しすべてユークザは受信信号を自らの変換符号を用いた、ウェットトルルダで復調し、その相関関数を検出して、同調開始および終了を行う。

【00003】ここに拡散符を $d(i)$ 、サンプリング

図 10 Δ<sub>1</sub> は、振動符号長を N、ある時刻 t<sub>0</sub> 以前の受信信号を x(t - 1)Δ<sub>1</sub> とすると、マツチナブアルタの出力 y(t) は、

$$y(t) = \sum_{n=0}^{N-1} a(n)x(t - n\Delta_1) \quad (1)$$

となる。なお (i) は 1 ビットデータのデータ列である。

【0004】ここで従来のデジタルアナログをみる。図1はデジタルアナログのデジタル化における信号変換回路であり、デジタル化された入力信号Xをアナログ化するための保持回路101と、決定されたアナログ値を出力するためのデジタル・アナログ変換器102とを有する。アナログ化された信号Yは、デジタル・アナログ変換器102の出力として出力される。

に要する。そして各変位器はINの出力をデジタル・アナログ変換器(D/A)において増幅する。以上の動作は「式(5)」によりモデル化されるものであるが、同期補正のために「式(6)」よりモデル化されるものはより多くのサンプリングを行う必要であり、図16の回路が複数系統になる。このため各変位器は、同期補正回路は大きく、多くの電力を消費した。これはSAW共振器の共振端まで近づける必要であった。またSAW共振器(圧電波)素子を使用した回路も用いられていたが、1素子による各変位器が見やすくなってきたSAW共振器(圧電波)という問題があった。

【0005】そこで本願出願人は付、7に示すデジタル型の情報伝送回路によるデジタル・アナログを混在し、容易に結合しうる電圧駆動型のデジタル・アナログおよびアナログを有するデジタル型を簡説した。しかしながら、デジタル・アナログ以外の部分については、当技術者のデジタル型およびアナログ型の出力と、デジタル型出力と必要となった。

**[0005]**

【説明が解決しようとする課題】本発明は、このように、各ポイントに付与すべき優先されたもので、軌道電流タイプのデジタル回路においてアナログ出力とともに効率的にデジタル出力を生成・得る通信のためのデジタル回路を提案することとする。

[2007]

【課題を解決するための手段】本発明に係るナビゲーション装置は、目的地前後に、一部の信号のみをブランキングし、よという経路案内に基づき、ナビゲーション信号を間断直送保持しこれによってA/D変換回路の動作速度を最小限に抑えたものである。

10008]

【作川】本発明に係るフュータ回路によれば、A/D変換回路として速度目標値の比較的低い回路を使用でき、コスト、集積率、消費電力において有利である。

**[60.00]**

【実施例】次に本発明に係るマツコブツイルタの1実施例を図面に基つて説明する。

【0101】同1において、マクロ・プログラムは前記第17の制御部出力「MF」の後段に、この制御部出力からのマクロプログラム信号を保持するサンプル・ホール下回路「S/H3」と、サンプル・ホール下回路からのマクロプログラム信号Aoutをデジタル化するA/D変換部「A/D」とを有し、サンプル・ホール下回路は、マクロプログラム「FD」によって制御されている、前記第17の制御部出力「FD」によって制御されるマクロプログラムAoutの他に、内部サンプル・ホール下回路のサンプル保持部のタイミングを決定するマクロプログラムで、おおよそ100nsのサンプル・ホール下回路のサンプル保持部タイミングを示すマクロプログラムRSTを、このマクロプログラム出力1に、マクロプログラムはこれら信号に基づいてマクロプログラムを制御する。

【0011】 $\varepsilon_1 \cdots \varepsilon_n$  の出が  $\varepsilon_1 \cdots \varepsilon_n$  となる





表1 キーパタンズ番号

番号結合	キーパタンズ	音価
CP84	C841	16Cu
	C842	8Cu
	C843	4Cu
	C844	2Cu
	C845	Cu
CP83	C846	Cu
	C801	16Cu
	C832	8Cu
	C833	4Cu
CP82	C834	2Cu
	C835	2Cu
	C821	16Cu
CP81	C822	8Cu
	C823	4Cu
	C824	4Cu
	C811	16Cu
	C812	8Cu
	C813	8Cu

[K2]

(7)

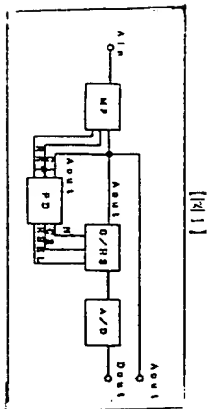
示す回路図である。  
[図6] 同左施例における第3のタイマスイッチを示す回路図である。  
[図7] 同左施例におけるA/Dコンバータを示す回路図である。  
[図8] 同A/Dコンバータにおける電子化回路を示す回路図である。  
[図9] 同左施例における積和演算回路を示す回路図である。  
[図10] 同積和演算回路におけるサンズル・ホールド回路を示す回路図である。  
[図11] 同左施例に含まれる反転増幅器を示す回路図である。  
[図12] 同8および図10のサンズル・ホールド回路におけるサルチベラサを示す回路図である。  
[図13] 同9の積和演算回路における第1の加算回路を示す回路図である。  
[図14] 同9の積和演算回路における第2の加算回路を示す回路図である。  
[図15] 同9の積和演算回路における第3の加算回路を示す回路図である。  
[図16] 従来のデジタル増幅の増チドワイルダを示す

アログク図である。  
[図17] 従来のアナログ増幅の増チドワイルダを示すアログク図である。  
[図18] サンズル・ホールド回路の動作タイミツグを示すタイミツグ・チャートである。  
[図19] サンズル・ホールド回路の他の動作タイミツグを示すタイミツグ・チャートである。  
[符号の説明]  
A/D . . . A/Dコンバータ  
S/H3, S/H21~S/H23, S/H91~S/H96 . . . サンズル・ホールド回路  
SB2~SB4 . . . スイッチ  
MF . . . 積和演算器  
PD . . . データ検出部  
\*\*\*\*\*  
\*\*\*\*\* 1995-09-07 17:28:01  
\*\*\*\*\*  
<<Start>> A:\JSDC\PATENT\YZN950909\JUD\知作.TXT  
<< End >> A:\JSDC\PATENT\YZN950909\JUD\知作.TXT

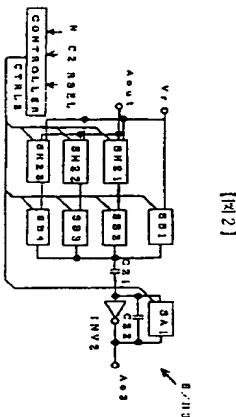
[K1]

表 2 入出力関係

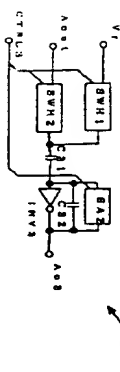
入力電圧	内部中間出力				出力			
V <sub>I</sub> 8	b3	b2	b1	b0	b3	b2	b1	b0
0 < V <sub>I</sub> < V <sub>a</sub>	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	0	0	0	0
V <sub>a</sub> < V <sub>I</sub> < 2V <sub>a</sub>	0	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	0	0	0
2V <sub>a</sub> < V <sub>I</sub> < 3V <sub>a</sub>	V <sub>dd</sub>	0	V <sub>dd</sub>	V <sub>dd</sub>	0	V <sub>dd</sub>	0	0
3V <sub>a</sub> < V <sub>I</sub> < 4V <sub>a</sub>	0	0	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	0	0
4V <sub>a</sub> < V <sub>I</sub> < 5V <sub>a</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	V <sub>dd</sub>	0	0	V <sub>dd</sub>	0
5V <sub>a</sub> < V <sub>I</sub> < 6V <sub>a</sub>	0	V <sub>dd</sub>	0	V <sub>dd</sub>	0	V <sub>dd</sub>	0	0
6V <sub>a</sub> < V <sub>I</sub> < 7V <sub>a</sub>	V <sub>dd</sub>	0	0	V <sub>dd</sub>	0	V <sub>dd</sub>	V <sub>dd</sub>	0
7V <sub>a</sub> < V <sub>I</sub> < 8V <sub>a</sub>	0	0	0	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0
8V <sub>a</sub> < V <sub>I</sub> < 9V <sub>a</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	0	0	0	0	V <sub>dd</sub>
9V <sub>a</sub> < V <sub>I</sub> < 10V <sub>a</sub>	0	V <sub>dd</sub>	V <sub>dd</sub>	0	V <sub>dd</sub>	0	0	V <sub>dd</sub>
10V <sub>a</sub> < V <sub>I</sub> < 11V <sub>a</sub>	V <sub>dd</sub>	0	V <sub>dd</sub>	0	0	V <sub>dd</sub>	0	V <sub>dd</sub>
11V <sub>a</sub> < V <sub>I</sub> < 12V <sub>a</sub>	0	0	V <sub>dd</sub>	0	V <sub>dd</sub>	0	V <sub>dd</sub>	0
12V <sub>a</sub> < V <sub>I</sub> < 13V <sub>a</sub>	V <sub>dd</sub>	V <sub>dd</sub>	0	0	0	0	V <sub>dd</sub>	V <sub>dd</sub>
13V <sub>a</sub> < V <sub>I</sub> < 14V <sub>a</sub>	0	V <sub>dd</sub>	0	0	V <sub>dd</sub>	0	V <sub>dd</sub>	V <sub>dd</sub>
14V <sub>a</sub> < V <sub>I</sub> < 15V <sub>a</sub>	V <sub>dd</sub>	0	0	0	0	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>
15V <sub>a</sub> < V <sub>I</sub> < 16V <sub>a</sub>	0	0	0	0	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>	V <sub>dd</sub>



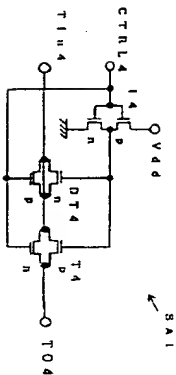
[図1]



[図2]

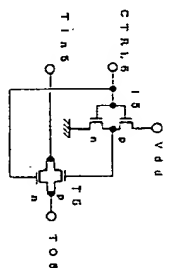


[図3]

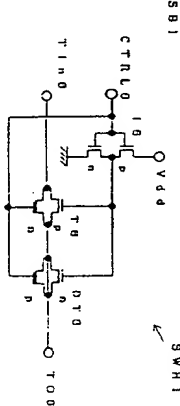


[図4]

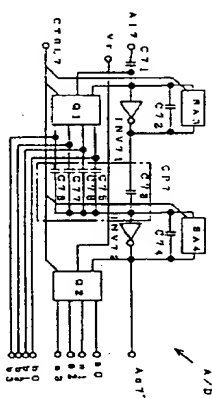
[図5]



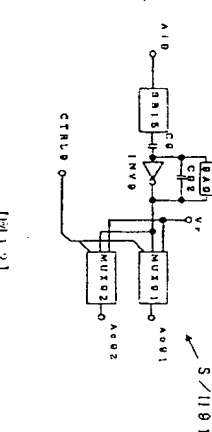
[図6]



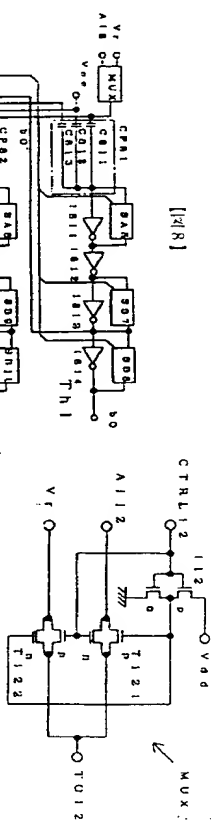
[図7]



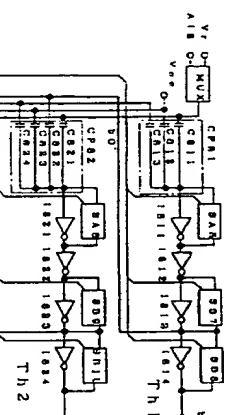
[図8]



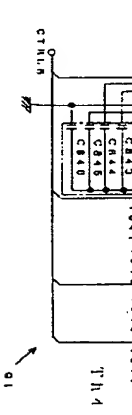
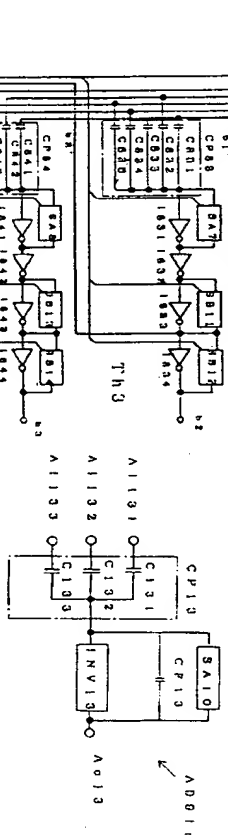
[図9]



[図10]

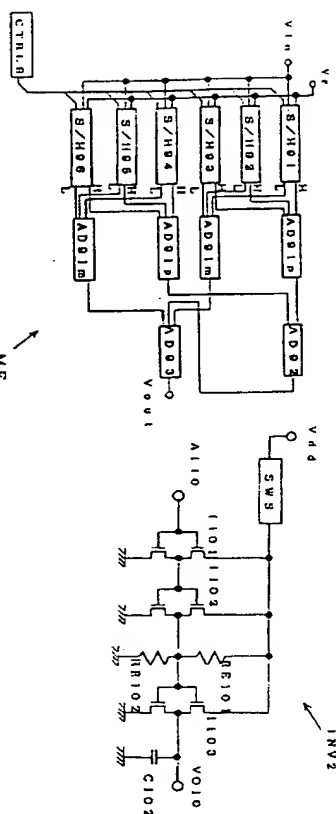


[図11]

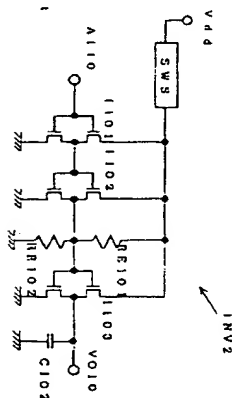




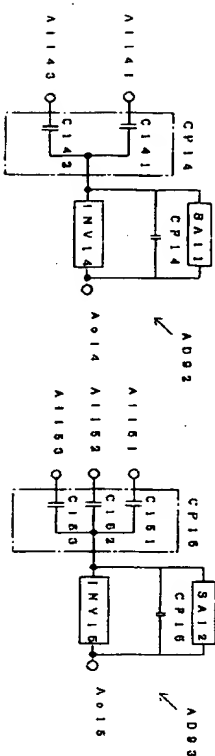
[図9]



[図11]

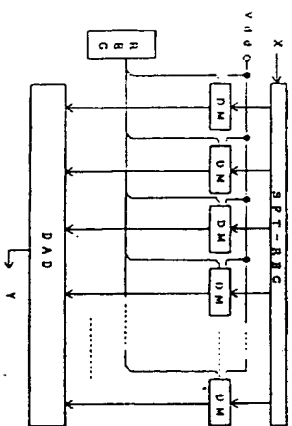


[図14]

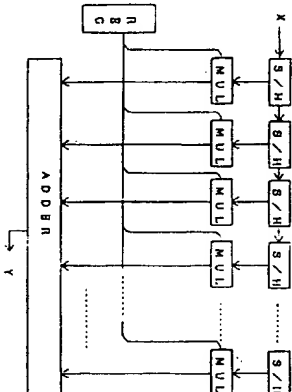


[図15]

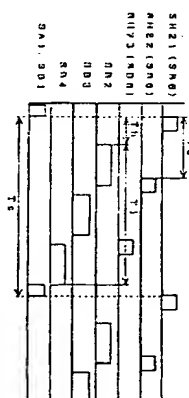
[図16]



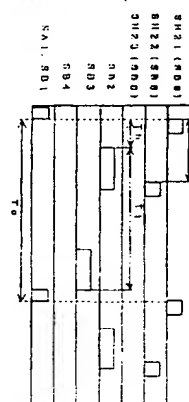
[図17]



[図18]



[図19]



フロッピーディスクの読み

- |          |                     |          |                     |
|----------|---------------------|----------|---------------------|
| (72) 発明者 | 山本 真                | (72) 発明者 | 安達 文幸               |
|          | 東京都田舎区北沢3-5-18 株式会社 |          | 東京都田舎区北沢3-5-18 株式会社 |
| (72) 発明者 | 佐田 昌                | (72) 発明者 | 高橋 直                |
|          | 東京都田舎区北沢3-5-18 株式会社 |          | 東京都田舎区北沢3-5-18 株式会社 |